

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-233397

(43)Date of publication of application : 02.09.1998

(51)Int.Cl.

H01L 21/3205

H01L 21/28

(21)Application number : 10-031506

(71)Applicant : TEXAS INSTR INC <TI>

(22)Date of filing : 13.02.1998

(72)Inventor : SUDIPTO ROY R
MUKHERJEE-ROY MIOTREYEE

(30)Priority

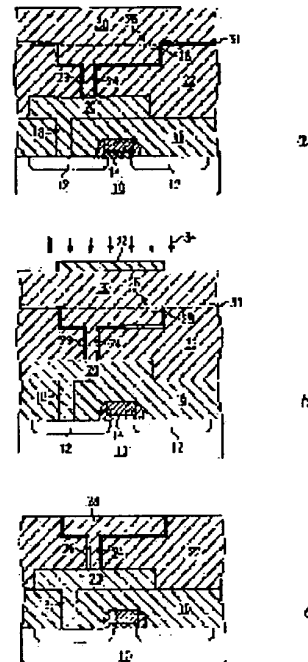
Priority number : 97 37996 Priority date : 13.02.1997 Priority country : US

(54) FORMATION OF CONDUCTIVE STRUCTURE OF COPPER ON SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a method of forming a conductive structure consisting of copper on a semiconductor substrate.

SOLUTION: This method includes a step of piling a copper containing materials (24, 28, 30) on a substrate 10, a step selectively oxidizing a part (layer 30) of the copper-containing materials, a step removing an oxidized part of the copper-containing materials. Desirably, the copper containing materials (24, 28, 30) are essentially constituted of pure copper or copper-doped aluminum (desirably, copper-doped aluminum contains copper at least 0.5wt.%, more desirably 0.5-4wt.%). On one part of the copper containing materials (24, 28, 30), a mask 32 is formed so as to delay oxidation of the copper-containing materials (24, 28, 30). desirably, a step removing an oxidized part of the copper-containing materials is performed by chemical-mechanical grinding of the oxidized part, etching of the oxidized part of combination of two processes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] Generally especially this invention relates to forming and removing a part of structure containing copper about a semiconductor-device manufacture.

[0002]

[Description of the Prior Art] The semiconductor device of a future generation is considered that a size becomes small gradually and the required power is reduced. Therefore, sheet resistance is low and the upper wiring must have a good electromigration property. It is shown as a solution of these problems that copper is made to inner-** into aluminum structure with formation of a contact / beer / wiring, and a metal wiring of a related pure copper. However, copper structure and the high copper dope aluminum structure of a copper content are difficult etching. For this problem, after cutting out a contact / wiring / beer, and the related upper metal structure from the dielectric layer between layers using a ***** process, there is also a semiconductor manufacturer who considers forming the pattern which is made to deposit a wiring material (substantially pure copper [Copper dope aluminum]), and embeds a wiring material. However, in order to remove the arbitrary superfluous materials on the dielectric materials between layers, you have to carry out elimination / flattening processes of a certain format (chemical machinery polishing, CMP, etc.).

[0003]

[Problem(s) to be Solved by the Invention] By the copper film or copper dope aluminum layer whose copper is at least 1 to 2 % of the weight, general elimination / flattening process do not operate well. Especially the layer containing a lot of copper is very difficult to tend to produce a smear in CMP process and to detect an end point using standard CMP process. Furthermore, since it is difficult to conclude when CMP process should be stopped, a typically excessive material is removed from a contact / beer / wiring field (generally called a "dishing"), and it is are not desirable. Furthermore, (since elimination of the aluminum layer with which copper is doped by the copper film or high concentration is related), there are other problems, such as copper sublation, sublation of a lower layer barrier layer, erosion of copper structure, and the cauterization of copper structure, in typical CMP process.

[0004]

[Means for Solving the Problem] The example of this invention is the technique of forming the electric conduction structure which consists of copper on a semiconductor substrate, and this technique contains the step which deposits a copper inclusion material on a substrate, the step which oxidizes a part of copper inclusion material alternatively, and the step which removes the fraction into which the copper inclusion material oxidized. preferably, the copper inclusion material is substantially constituted by a pure copper or copper dope aluminum (desirable -- copper dope aluminum -- at least 0.5% of the weight of copper -- 0.5 to 4% of the weight of copper is included more preferably) a part of copper inclusion material -- a mask can be formed upwards and oxidization of the copper inclusion material under it can be delayed The step which removes preferably the fraction into which the copper inclusion material oxidized is carried out with etching of the fraction which chemical-machinery-ground the fraction which oxidized and oxidized, or the combination of two processes.

[0005] Another example of this invention is the formation technique of the wiring / contact / beer to a semiconductor substrate top. this technique The step which prepares on a substrate the dielectric layer which has opening which extends from a top, a inferior surface of tongue, and a top to a inferior surface of tongue, The step which deposits the copper inclusion material arranged also on the top of a dielectric layer so that opening in a dielectric layer may be embedded substantially, the step which oxidizes a part of copper inclusion material, and the step which removes the fraction into which the copper inclusion material oxidized are included. Preferably, a copper inclusion material is substantially constituted by a pure copper or copper dope aluminum (at least 0.5% of the weight of copper is preferably doped by aluminum). In the example of both this inventions, while the copper inclusion material of the upper layer of a dielectric layer where all copper inclusion materials embed opening in a dielectric layer substantially preferably has not yet oxidized substantially, it oxidizes. The step which removes preferably the fraction into which the copper inclusion material oxidized contains the step which carries out chemical machinery polishing, the step which carries out a blanket dirty process, or the step which combined both. With the variation of this example of this invention, it does not oxidize easily and the mask which does not diffuse oxygen easily in it is formed on the fraction which embeds opening in the dielectric layer of a copper inclusion material.

[0006]

[Embodiments of the Invention] With reference to drawing 1 a- view 1 c, the gate structure 14 (it consists of the electric conduction gate, a gate insulator, and a side wall insulator) is formed in the substrate 10 upper layer after some standard processes. The source / drain field 12 is formed in a substrate 10. This example of this invention is explained about formation of the new wiring 24 (it can also consider as beer, a trench, or a contact), and the electric conduction wiring 28. However, this invention is also applicable to formation of the contact 18 and the electric conduction wiring 20. In practice, it can be used for forming both structure of these. When using it for the contact 18 and formation of a conductor 20, you have to warn against copper's exuding into a substrate 10 or the insulator 16, and degrading a device performance. When the new technique of this invention is not used for the contact 18 and formation of a conductor 20, contest polysilicon, a tungsten, titanium, TiN, the conductivity used conventionally [arbitrary / other], or a half-conductivity material can constitute them.

[0007] After forming structures 18 and 20, the dielectric between layers 22 is formed. Preferably, the dielectric layer 22 is constituted by BPSG, PSG, the arbitrary spin-on glasses of a type, an oxide, TEOS, low k dielectric materials (an aerogel, a xerogel, or polymer with low specific inductive capacity), or the dielectric materials between layers that arbitrary others are large and is used. a ***** type process (shown in drawing 1 a- view 1 c) is used, and opening for a wiring forms in a dielectric 22 -- having -- another conductor -- ** opening is formed in a dielectric 22 Preferably, these openings are formed using the standard technique of a typical ***** process. After forming these openings, a liner / barrier layers 29 (the opening side face and a conductor pars basilaris ossis occipitalis of opening) and 31 (the best side of a dielectric 22) are formed (probably it is etched in the ***** location, or formed only in a certain location). Preferably, liners 29 and 31 are constituted by titanium, TiN, a tantalum, tantalum nitrides, or those arbitrary combination.

[0008] Next, a copper inclusion material deposits and a contact / beer / wiring 24, and the electric conduction wiring 26 are formed with an over filling 30. Preferably, a copper inclusion material is substantially constituted by a pure copper or copper dope aluminum (preferably 1 -5 % of the weight copper, more preferably 2 -4 % of the weight copper). In order to remove an over filling 30 more easily, oxidizing a part of over filling 30 is included in the example of this invention. It is not necessary to oxidize over-filling 30 all. Preferably, many over fillings 30 oxidize as much as possible, without oxidizing a conductor 28 substantially. An over filling 30 oxidizes the line 26 or near the most preferably. Then, it becomes much more easy to remove the over filling 30 which oxidized by CMP, wet etching, or dry etching. desirable -- the oxygen (preferably beyond room temperature more preferably near 125 degree C) inclusion environments (O₂, O₃, etc.) beyond a room temperature -- a layer -- **** -- oxidation is performed by things This can be attained by arranging a semiconductor wafer in a diffusion furnace, short-time annealing kiln, or oven, and heating it within an oxidization inclusion environment. Elimination of a subsequent oxide film (preferably Cu₂O, CuO, or CuO₄ layer) is preferably performed to wet etchant (preferably a dilution HCl solution or dilution H₂SO₄ solution) by ****, the dry cleaning dirty technique and/, or CMP in a wafer. The result of this step is shown in drawing 1 c. Even if it removes, it is not necessary to carry out a liner 31. The cauterization suppression step flooded with a benzo thoria sol (BTA), a ***** rear sol (TTA), BTA and KI solution or TTA, and KI solution in a wafer following this elimination step is performed most preferably. Preferably, a thin film is formed on a copper inclusion layer of this step, and it is removed behind.

[0009] in the another example of this invention, the over-filling fraction 30 of a copper inclusion material oxidizes in part -- having -- a degree -- sentiment dirty and dry cleaning -- it is removed by dirty and/, or CMP This step is repeated several times until an over filling 30 is all removed (to a line 26).

[0010] In another example, the mask 32 which does not diffuse oxygen is formed on the over-filling material 30. Oxygen diffusing the inside of the copper inclusion over filling 30 at high speed, and oxidizing the electric conduction wiring 28, and beer / contact / wiring 24 preferably, is prevented by the mask 32. If oxygen diffuses the inside of the over-filling material 30 in longitudinal direction, the fraction under a mask 32 will oxidize a little. The width of face of a mask 32 is changeable according to the width and the lengthwise diffusing capacity of oxygen passing through the over-filling field 30.

[0011] The device of drawing 2 a and drawing 2 b is almost the same as that of the device made from drawing 1 a- view 1 c. However, the device of drawing 2 a and drawing 2 b does not use a ***** process. Therefore, another example of this invention is used for removing the garbage of an over filling 30. In this example of this invention, a part of over filling [at least] 30 is **ed by the oxidization environment (preferably O₂ or O₃ in a diffusion furnace, a short-time annealing chamber, or oven) at an elevated temperature (it is preferably higher than a room temperature, and is near 120 degree C preferably). A mask 32 (it consists of a material which does not oxidize or does not let oxygen pass preferably, and is a nitride preferably) can be used, and oxidization of the metal field 30 under a mask 32 and the remaining metallic conductor can be prevented or reduced. The mask 32 is required when oxygen diffuses the inside of the copper inclusion material 30 in lengthwise at high speed. When there are whether there is any lateral diffusion in a high-speed diffusion or it is small, let a mask 32 be the width of face same at least as the electric conduction wiring 36. Since oxygen is spread down to a mask 32 when oxygen is spread in longitudinal direction (to some extent), it is necessary to make a mask 32 into double width rather than the electric conduction wiring 36. The mask 32 is unnecessary when oxygen is not spread in lengthwise at high speed. When a mask 32 is used, it is removed when an over-filling material is removed. Or although an oxidization step is continued until the over-filling fraction 30 mostly oxidizes, don't continue too much for a long time so that oxidization of the grade sensed for the metal structure 24 or the remaining metal structure 36 may not arise.

[0012] Next, the fraction into which the copper inclusion material 30 oxidized is removed by wet etching, dry etching and/, or CMP. The purpose is a thing of conductors 24 and 36 for which it enables it to remove the garbage of the copper inclusion layer 30 easily, without [electrically and] degrading a reliability property substantially.

[0013] Although this invention has been explained with reference to an example, this specification does not have

constraint-implications. If it is this contractor and a specification will be read, not only another example of this invention but various corrections and combination of an example which were shown here will be understanding. All of such correction or an example shall enter in a patent claim. The following terms are further indicated about the above explanation.

[0014] (1) It is the technique are the technique of forming copper electric conduction structure in up to a semiconductor substrate, and this technique contains the step which deposits a copper inclusion material on up to the aforementioned substrate, the step which oxidizes alternatively a part of aforementioned copper inclusion material, and the step which removes the fraction by which oxidization of the aforementioned copper inclusion material was carried out [aforementioned].

[0015] (2) It is the technique by which it is the technique of the 1st-term publication, and the aforementioned copper inclusion material is substantially constituted by the pure copper.

[0016] (3) It is the technique by which it is the technique of the 1st-term publication, and the aforementioned copper inclusion material is constituted by copper dope aluminum.

[0017] (4) It is the technique are the technique of the 3rd-term publication and the aforementioned copper dope aluminum contains at least 0.5% of the weight of copper.

[0018] (5) It is the technique of the 1st-term publication and the aforementioned copper inclusion material is the technique which a mask is formed upwards and enables it to delay oxidization of the aforementioned copper inclusion material under the aforementioned mask a part.

[0019] (6) The aforementioned step which removes the fraction which is the technique of the 1st-term publication, and by which oxidization of the aforementioned copper inclusion material was carried out [aforementioned] is technique enforced by chemical machinery polishing of the fraction which oxidized.

[0020] (7) The aforementioned step which removes the fraction which is the technique of the 1st-term publication, and by which oxidization of the aforementioned copper inclusion material was carried out [aforementioned] is technique etched and enforced in the fraction which oxidized.

[0021] It is the technique of forming a wiring / contact / beer on a semiconductor substrate. (8) This technique The step which prepares the dielectric layer which has opening which extends from a top, a inferior surface of tongue, and the aforementioned top to the aforementioned inferior surface of tongue on the aforementioned substrate, Technique containing the step on which the copper inclusion material arranged also on the aforementioned top of the aforementioned dielectric layer is made to deposit so that the aforementioned opening in the aforementioned dielectric layer may be embedded substantially, the step which oxidizes a part of aforementioned copper inclusion material, and the step which removes the fraction by which oxidization of the aforementioned copper inclusion material was carried out [aforementioned].

[0022] (9) It is the technique by which it is technique given in an octavus term, and the aforementioned copper inclusion material is substantially constituted by the pure copper.

[0023] (10) It is the technique by which it is technique given in an octavus term, and the aforementioned copper inclusion material is constituted by copper dope aluminum.

[0024] (11) It is the technique by which it is technique given in an octavus term, and the aforementioned copper inclusion material is constituted by the aluminum which had at least 0.5% of the weight of copper doped.

[0025] (12) How to oxidize [-while the aforementioned copper inclusion material where it is technique given in an octavus term, and all embed the aforementioned opening in the aforementioned dielectric layer substantially substantially / the copper inclusion material of the upper layer of the aforementioned dielectric layer / has not yet oxidized substantially].

[0026] (13) The aforementioned step which removes the fraction which is technique given in an octavus term, and by which oxidization of the aforementioned copper inclusion material was carried out [aforementioned] is the technique containing the step which carries out chemical machinery polishing.

[0027] (14) The aforementioned step which removes the fraction which is technique given in an octavus term, and by which oxidization of the aforementioned copper inclusion material was carried out [aforementioned] is the technique containing the step which carries out a blanket dirty process.

[0028] (15) Technique formed on the aforementioned fraction where the mask which it is technique given in an octavus term, and it does not oxidize [mask] easily and does not diffuse oxygen easily embeds opening in the aforementioned dielectric layer of the aforementioned copper inclusion material.

[0029] (16) The example of this invention is the technique of forming the electric conduction structure which consists of copper on a semiconductor substrate, and this technique contains the step which makes a copper inclusion material (metallic materials 24, 28, and 30) deposit on a substrate (substrate 10), the step which oxidizes alternatively a part of copper inclusion material (layer 30 of drawing 1 b and drawing 2 a), and the step which removes the fraction into which the copper inclusion material oxidized. Preferably, a copper inclusion material is substantially constituted by a pure copper or copper dope aluminum (copper dope aluminum contains 0.5 to 4% of the weight of copper more preferably at least 0.5% of the weight). a part of copper inclusion material -- a mask (mask 32 of drawing 1 b and drawing 2 a) can be formed upwards, and oxidization of the copper inclusion material under a mask can be delayed The step which removes preferably the fraction into which the copper inclusion material oxidized is carried out with etching of the fraction which chemical-machinery-ground the fraction which oxidized and oxidized, or the combination of two processes.

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-233397

(43)公開日 平成10年(1998)9月2日

(51)Int.Cl.⁸

識別記号

F I

H 0 1 L 21/3205

H 0 1 L 21/88

M

21/28

3 0 1

21/28

3 0 1 Z

審査請求 未請求 請求項の数1 O L (全 5 頁)

(21)出願番号 特願平10-31506

(22)出願日 平成10年(1998)2月13日

(31)優先権主張番号 0 3 7 9 9 6

(32)優先日 1997年2月13日

(33)優先権主張国 米国 (US)

(71)出願人 590000879

テキサス インストルメンツ インコーポ
レイテッドアメリカ合衆国テキサス州ダラス, ノース
セントラルエクスプレスウェイ 13500

(72)発明者 スディプト アール. ロイ

アメリカ合衆国 テキサス州プラノ, ミル
ストリーム ドライブ 2900

(72)発明者 ミオトレイエ ムクヘルジェ - ロイ

アメリカ合衆国 テキサス州プラノ, ミル
ストリーム ドライブ 2900

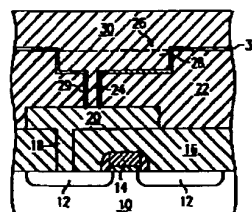
(74)代理人 弁理士 浅村 皓 (外3名)

(54)【発明の名称】 半導体基板上へ銅の導電構造を形成する方法

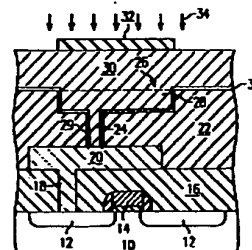
(57)【要約】

【課題】 半導体基板上に銅からなる導電構造を形成する方法を得る。

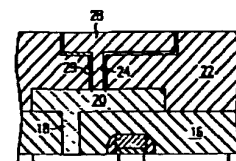
【解決手段】 本方法は、基板10上に銅含有材料（金属材料24、28、30）を堆積するステップと、銅含有材料の一部（層30）を選択的に酸化させるステップと、銅含有材料の酸化された部分を除去するステップと、を含んでいる。好ましくは、銅含有材料は実質的に純銅もしくは銅ドーパアルミニウム（好ましくは銅ドーパアルミニウムは少なくとも0.5重量%、より好ましくは0.5-4重量%の銅を含む）により構成される。銅含有材料の一部分上にマスク32を形成してマスク下の銅含有材料の酸化を遅らせることができる。好ましくは、銅含有材料の酸化された部分を除去するステップは、酸化された部分の化学機械研磨、酸化された部分のエッチング、もしくは2つの工程の組合せにより実施される。



a



b



c

【特許請求の範囲】

【請求項1】 半導体基板上へ銅の導電構造を形成する方法であって、該方法は、
前記基板上へ銅含有材料を堆積するステップと、
前記銅含有材料の一部を選択的に酸化させるステップと、
前記銅含有材料の前記酸化された部分を除去するステップと、を含む、方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般的に半導体デバイス製造に関し、特に銅を含む構造の一部を形成して除去することに関する。

【0002】

【従来の技術】未来世代の半導体デバイスは次第にサイズが小さくなって所要電力が低減されるものと思われる。そのため、上層配線はシート抵抗が低くエレクトロマイグレーション特性が良好でなければならない。コンタクト/ビア/配線および関連する純銅の金属配線の形成と共に、アルミニウム構造内へ銅を内含させることがこれらの問題の解決策として提示されている。しかしながら、銅構造および銅含有量の高い銅ドーパアルミニウム構造はエッチングが困難である。この問題のため、ダマシン工程を使用してコンタクト/配線/ビアおよび関連する上層金属構造を層間誘電体層から切り取った後で配線材料（銅ドーパアルミニウムや実質的に純銅）を堆積させて配線材料を埋め込むパターンを形成することを考えている半導体メーカーもある。しかしながら、層間誘電体材料上の任意の過剰材料を除去するために、ある形式の除去/平坦化工程（化学機械研磨、CMP等）を続

【0003】

【発明が解決しようとする課題】銅が少なくとも1-2重量%である銅膜や銅ドーパアルミニウム膜では大概の除去/平坦化工程はうまく作動しない。特に、多量の銅を含む膜はCMP工程中にスミアを生じる傾向があり、標準のCMP工程を使用してエンドポイントを検出することは極めて困難である。さらに、いつCMP工程を停止すべきかを断定するのが困難であるため、典型的に余分な材料がコンタクト/ビア/配線領域から除去され（一般的に“ディッシング”と呼ばれる）、それは好ましくないことである。さらに、典型的なCMP工程には（銅膜や高濃度で銅がドーパされているアルミニウム膜の除去に関連するため）、銅剥離、下層バリア層の剥離、銅構造の侵食、および銅構造の腐食等の他の問題もある。

【0004】

【課題を解決するための手段】本発明の実施例は半導体基板上に銅からなる導電構造を形成する方法であり、こ

銅含有材料の一部を選択的に酸化させるステップと、銅含有材料の酸化された部分を除去するステップと、を含んでいる。好ましくは、銅含有材料は実質的に純銅もしくは銅ドーパアルミニウムにより構成されている（好ましくは、銅ドーパアルミニウムは少なくとも0.5重量%の銅、より好ましくは、0.5-4重量%の銅を含む）。銅含有材料の一部分上にマスクを形成して、その下の銅含有材料の酸化を遅らせることができる。好ましくは、銅含有材料の酸化された部分を除去するステップは、酸化された部分の化学機械研磨、酸化された部分のエッチング、もしくは2つの工程の組合せにより実施される。

【0005】本発明のもう1つの実施例は半導体基板上への配線/コンタクト/ビアの形成方法であり、この方法は、上面と下面と上面から下面へ延在する開口とを有する誘電体層を基板上に設けるステップと、誘電体層の上面上にも配置される銅含有材料を誘電体層内の開口を実質的に埋め込むように堆積するステップと、銅含有材料の一部を酸化させるステップと、銅含有材料の酸化された部分を除去するステップと、を含んでいる。好ましくは、銅含有材料は実質的に純銅もしくは銅ドーパアルミニウムにより構成される（好ましくは、アルミニウムには少なくとも0.5重量%の銅がドーパされる）。本発明の両方の実施例において、誘電体層の上層の実質的に全ての銅含有材料が、好ましくは、誘電体層内の開口を実質的に埋め込む銅含有材料が実質的にまだ酸化されていない間に酸化される。好ましくは、銅含有材料の酸化された部分を除去するステップは、化学機械研磨を実施するステップ、ブランケットエッチ工程を実施するステップ、もしくは両方を組み合わせたステップを含んでいる。本発明のこの実施例のバリエーションでは、容易に酸化せずかつその中に容易に酸素を拡散させないマスクが、銅含有材料の誘電体層内の開口を埋め込む部分上に形成される。

【0006】

【発明の実施の形態】図1a-図1cを参照して、いくつかの標準工程の後で、ゲート構造14（導電ゲート、ゲート絶縁体およびサイドウォール絶縁体からなる）が基板10上層に形成される。ソース/ドレイン領域12が基板10内に形成される。新しい配線24（ビア、トレランチ、もしくはコンタクトとすることもできる）および導電配線28の形成に関して本発明のこの実施例の説明を行う。しかしながら、本発明はコンタクト18および導電配線20の形成に使用することもできる。実際上、これら両方の構造を形成するのに使用することができる。コンタクト18および導電20の形成に使用する場合には、銅が基板10や絶縁体16内へ浸出してデバイス性能を劣化させないように注意しなければならない。本発明の新しい方法がコンタクト18および導電20の

タングステン、チタン、TiN、もしくは任意他の従来使用される導電性もしくは半導電性材料により構成することができる。

【0007】構造18、20を形成した後で、層間誘電体22が形成される。好ましくは、誘電体層22はBP SG、PSG、任意のタイプのスピノングラス、酸化物、TEOS、低k誘電体材料（エーロゲル、ゼロゲル、もしくは比誘電率の低いポリマー等）、もしくは任意他の広く使用されている層間誘電体材料により構成される。ダマシ工程（図1a-図1cに示す）を使用して、配線用開口が誘電体22内に形成され、もう1つの導体用開口が誘電体22内に形成される。好ましくは、これらの開口は典型的なダマシ工程の標準技術を使用して形成される。これらの開口が形成された後で、ライナー／バリア層29（開口側面および導体開口の底部）および31（誘電体22の最上面）が形成される（恐らくはある場所でエッチングされるか、あるいはある場所にだけ形成される）。好ましくは、ライナー29、31はチタン、TiN、タンタル、窒化タンタル、もしくはそれらの任意の組合せにより構成される。

【0008】次に、銅含有材料が堆積されてオーバフィル30と共にコンタクト／ビア／配線24および導電配線26が形成される。好ましくは、銅含有材料は実質的に純銅もしくは銅ドーパアルミニウム（好ましくは1-5重量%銅、より好ましくは2-4重量%銅）により構成される。オーバフィル30をより容易に除去するために、本発明の実施例にはオーバフィル30の一部を酸化させることが含まれている。オーバフィル30全部を酸化させる必要はない。好ましくは、導体28を実質的に酸化させることなく、できるだけ多くのオーバフィル30が酸化される。最も好ましくは、オーバフィル30は線26もしくはその付近で酸化される。そうすれば、CMP、ウェットエッチング、もしくはドライエッチングにより酸化されたオーバフィル30を除去することが一層容易になる。好ましくは、室温以上の（好ましくは室温以上、より好ましくは125℃付近）酸素含有環境（O₂もしくはO₃等）へ膜を曝すことにより酸化が行われる。これは半導体ウェーハを拡散炉、短時間アニール炉、もしくはオープン内に配置して酸化含有環境内で加熱することにより達成できる。その後の酸化膜（好ましくは、Cu₂O、CuO、もしくはCuO₄膜）の除去は、好ましくは、ウェーハをウェットエッチャント（好ましくは、希釈HCl溶液、もしくは希釈H₂SO₄溶液）に曝すか、ドライエッチ方法、および／もしくはCMPにより行われる。このステップの結果を図1cに示す。ライナー31は除去してもしなくてもよい。最も好ましくは、この除去ステップに続いてウェーハをベンゾトリアゾル（BTA）、トリトリアゾル（TTA）、BTAおよびKI溶液、もしくはTTAおよびK

くは、このステップにより銅含有層上に薄膜が形成された後に除去される。

【0009】本発明の別の実施例では、銅含有材料のオーバフィル部分30が一部酸化され、次にウェットエッチ、ドライエッチおよび／もしくはCMPにより除去される。このステップはオーバフィル30が全部除去されるまで（線26まで）数回繰り返される。

【0010】もう1つの実施例では、酸素を拡散させないマスク32がオーバフィル材料30上に形成される。好ましくは、酸素が銅含有オーバフィル30内を高速で拡散して導電配線28およびビア／コンタクト／配線24を酸化させることがマスク32により防止される。酸素がオーバフィル材料30内を横方向に拡散すると、マスク32の下部分は幾分酸化される。マスク32の幅はオーバフィル領域30を通る酸素の横および縦方向拡散量に応じて変えることができる。

【0011】図2aおよび図2bのデバイスは図1a-図1cで作られるデバイスとほぼ同じである。しかしながら、図2aおよび図2bのデバイスはダマシ工程を利用しない。したがって、オーバフィル30の不要部分を除去するのに本発明のもう1つの実施例が利用される。本発明のこの実施例では、オーバフィル30の少なくとも一部が高温（好ましくは室温よりも高く、好ましくは120℃付近）で酸化環境（好ましくは、拡散炉、短時間アニール室、もしくはオープン内のO₂もしくはO₃）に曝される。マスク32（好ましくは、酸化しないかもしくは酸素を通さない材料で構成され、好ましくは窒化膜である）を使用して、マスク32下の金属領域30および残りの金属導体の酸化を防止もしくは低減することができる。酸素が銅含有材料30内を縦方向に高速で拡散される場合にはマスク32が必要である。高速拡散において横方向の拡散が無いあるいは僅かしかない場合には、マスク32は少なくとも導電配線36と同じ幅とする必要がある。酸素が横方向に拡散する場合には、酸素がマスク32の下へ拡散する（ある程度）ため、マスク32は導電配線36よりも広幅とする必要がある。酸素が縦方向に高速で拡散しない場合には、マスク32は不要である。マスク32が使用される場合、それはオーバフィル材料が除去される時に除去される。あるいは、オーバフィル部分30が大部分酸化されるまで酸化ステップが継続されるが、金属構造24や残りの金属構造36に感じられる程度の酸化が生じないよう長く継続し過ぎてはならない。

【0012】次に、銅含有材料30の酸化された部分がウェットエッチング、ドライエッチング、および／もしくはCMPにより除去される。その目的は導体24、36の電気的および信頼度特性を実質的に劣化させずに銅含有層30の不要部分を容易に除去できるようにすることである。

が、本明細書は制約的な意味合いを有するものではない。当業者ならば、明細書を読めば本発明の別の実施例だけでなく、ここに示した実施例のさまざまな修正および組合せが判りであろう。このような修正や実施例は全て特許請求の範囲内に入るものとする。以上の説明に関して更に以下の項を開示する。

【0014】(1) 半導体基板上へ銅の導電構造を形成する方法であって、該方法は、前記基板上へ銅含有材料を堆積するステップと、前記銅含有材料の一部を選択的に酸化させるステップと、前記銅含有材料の前記酸化された部分を除去するステップと、を含む、方法。

【0015】(2) 第1項記載の方法であって、前記銅含有材料は実質的に純銅により構成される方法。

【0016】(3) 第1項記載の方法であって、前記銅含有材料は銅ドーパアルミニウムにより構成される方法。

【0017】(4) 第3項記載の方法であって、前記銅ドーパアルミニウムは少なくとも0.5重量%の銅を含む方法。

【0018】(5) 第1項記載の方法であって、前記銅含有材料の一部分上にマスクが形成されて前記マスクの下の前記銅含有材料の酸化を遅らせるようにされる方法。

【0019】(6) 第1項記載の方法であって、前記銅含有材料の前記酸化された部分を除去する前記ステップは、酸化された部分の化学機械研磨により実施される方法。

【0020】(7) 第1項記載の方法であって、前記銅含有材料の前記酸化された部分を除去する前記ステップは、酸化された部分をエッチングして実施される方法。

【0021】(8) 半導体基板上に配線/コンタクト/ビアを形成する方法であって、該方法は、上面、下面、および前記上面から前記下面へ延在する開口を有する誘電体層を前記基板上に設けるステップと、前記誘電体層の前記上面上にも配置される銅含有材料を、実質的に前記誘電体層内の前記開口を埋め込むように堆積させるステップと、前記銅含有材料の一部を酸化させるステップと、前記銅含有材料の前記酸化された部分を除去するステップと、を含む方法。

【0022】(9) 第8項記載の方法であって、前記銅含有材料は実質的に純銅により構成される方法。

【0023】(10) 第8項記載の方法であって、前記銅含有材料は銅ドーパアルミニウムにより構成される方法。

【0024】(11) 第8項記載の方法であって、前記銅含有材料は少なくとも0.5重量%の銅をドーパされたアルミニウムにより構成される方法。

【0025】(12) 第8項記載の方法であって、前

記誘電体層の上層の銅含有材料の実質的に全てが、前記誘電体層内の前記開口を実質的に埋め込む前記銅含有材料がまだ実質的に酸化されていない間に酸化される方法。

【0026】(13) 第8項記載の方法であって、前記銅含有材料の前記酸化された部分を除去する前記ステップは、化学機械研磨を実施するステップを含む方法。

【0027】(14) 第8項記載の方法であって、前記銅含有材料の前記酸化された部分を除去する前記ステップは、ブランケットエッチ工程を実施するステップを含む方法。

【0028】(15) 第8項記載の方法であって、容易に酸化せずかつ酸素を容易に拡散させないマスクが前記銅含有材料の前記誘電体層内の開口を埋め込む前記部分上に形成される方法。

【0029】(16) 本発明の実施例は半導体基板上に銅からなる導電構造を形成する方法であり、該方法は、基板(基板10)上に銅含有材料(金属材料24, 28, 30)を堆積させるステップと、銅含有材料の一部(図1bおよび図2aの層30)を選択的に酸化させるステップと、銅含有材料の酸化された部分を除去するステップと、を含んでいる。好ましくは、銅含有材料は実質的に純銅もしくは銅ドーパアルミニウム(好ましくは銅ドーパアルミニウムは少なくとも0.5重量%、より好ましくは0.5-4重量%の銅を含む)により構成される。銅含有材料の一部分上にマスク(図1bおよび図2aのマスク32)を形成してマスク下の銅含有材料の酸化を遅らせることができる。好ましくは、銅含有材料の酸化された部分を除去するステップは、酸化された部分の化学機械研磨、酸化された部分のエッチング、もしくは2つの工程の組合せにより実施される。

【図面の簡単な説明】

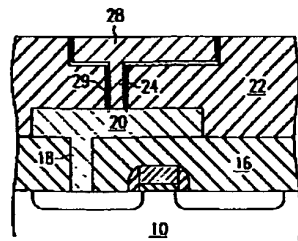
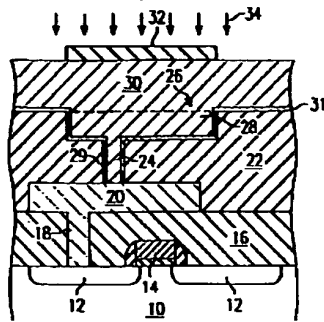
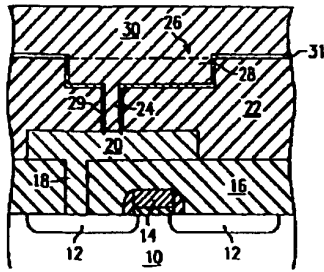
【図1】本発明の一実施例の方法を使用して製作されるデバイスの断面図。

【図2】本発明のもう一つの実施例を使用して製作されるデバイスの断面図。

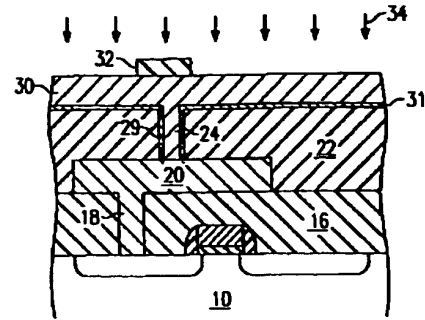
【符号の説明】

- 10 基板
- 12 ソース/ドレイン領域
- 14 ゲート構造
- 16 絶縁体
- 18 コンタクト
- 20 導体
- 22 誘電体
- 24 コンタクト/ビア/配線
- 26, 28 導電配線
- 29, 31 ライナー/バリア層
- 30 オーバフィル材料
- 32 マスク

【図1】



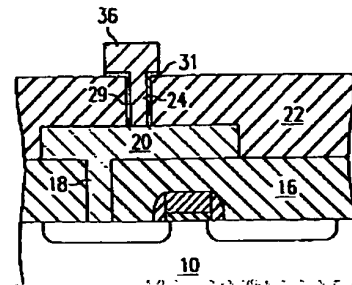
【図2】



a

a

b



c

b